

ACTIVE MATRIX TYPE DISPLAY DEVICE AND ITS DRIVING METHOD

Publication number: JP2003150116

Publication date: 2003-05-23

Inventor: ADACHI KATSUMI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: **G09G3/30; G09G3/20; H01L51/50; G09G3/30; G09G3/20; H01L51/50; (IPC1-7): G09G3/30; G09G3/20**

- european:

Application number: JP20010342893 20011108

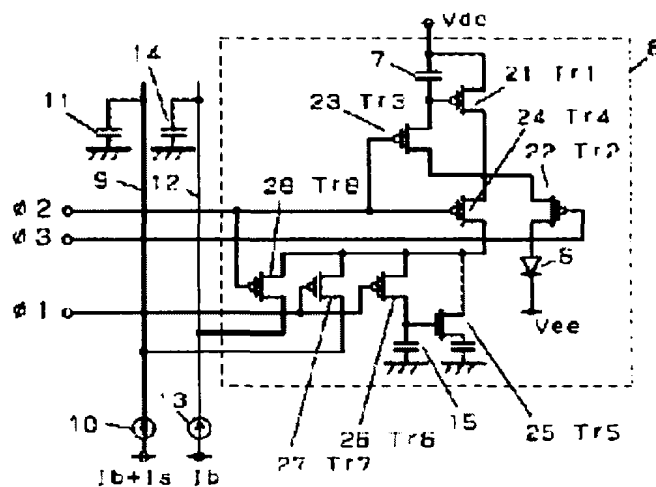
Priority number(s): JP20010342893 20011108

Report a data error here

Abstract of JP2003150116

PROBLEM TO BE SOLVED: To solve such a great problem from the practical point of view that, in the display device of a current writing type active matrix system, an image having a tailing shape is generated in the vertical direction because of the deficiency of the charge and discharge of the stray capacity of a signal line at the time of a low current writing.

SOLUTION: In this display device, the deficiency of the charge and discharge is solved by writing a current in which a signal current is superimposed on a sufficiently large bias current in a signal line and by storing only the signal current while obtaining the difference with the bias current in the inside of a pixel.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-150116

(P 2003-150116 A)

(43) 公開日 平成 15 年 5 月 23 日 (2003.5.23)

(51) Int. Cl.

識別記号

F I

テーマコード (参考)

G09G 3/30

G09G 3/30

K 5C080

3/20

624

3/20

624

B

641

641

D

642

642

A

審査請求 未請求 請求項の数 16 O L (全 9 頁)

(21) 出願番号 特願 2001-342893 (P 2001-342893)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真 1006 番地

(22) 出願日 平成 13 年 11 月 8 日 (2001.11.8)

(72) 発明者 足達 克己

大阪府門真市大字門真 1006 番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

F ターム (参考) 5C080 AA06 BB05 DD05 DD09 EE28

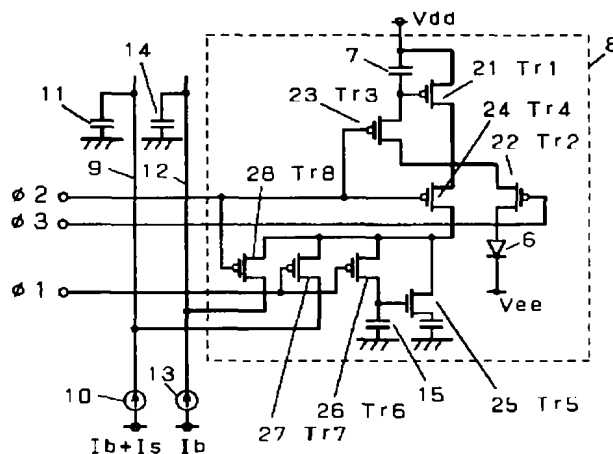
FF11 JJ02 JJ03 JJ04 JJ05

(54) 【発明の名称】 アクティブマトリクス型表示装置およびその駆動方法

(57) 【要約】

【課題】 電流書き込み型アクティブマトリクス方式の表示装置において、低電流書き込み時に信号線の浮遊容量の充放電不足から、縦方向に尾引き状の画像が発生し、実用上大きな課題となっていた。

【解決手段】 信号線に十分大きなバイアス電流に信号電流を重畳して電流を書き込み、画素内部でバイアス電流との差分を取り信号電流のみ記憶することにより、充放電不足を解決する。



【特許請求の範囲】

【請求項 1】 第 1 の所定期間に第 1 の所定値の電流を与えるステップと、第 2 の所定期間に第 2 の所定値の電流を与えるステップと、前記第 1 と第 2 の所定値の電流に関連する第 3 の電流を表示素子に与えるステップがあることを特徴とするアクティブマトリクス表示装置の駆動方法。

【請求項 2】 第 1 の所定の電流値と第 2 の所定の電流値の差を前記表示素子に与えることを特徴とする請求項 1 記載のアクティブマトリクス表示装置の駆動方法。

【請求項 3】 第 1 の所定期間と第 2 の所定期間が水平走査周期相当であることを特徴とする請求項 1 記載のアクティブマトリクス表示装置の駆動方法。

【請求項 4】 第 1 の所定期間と第 2 の所定期間を足した期間が水平走査周期相当であることを特徴とする請求項 1 記載のアクティブマトリクス表示装置の駆動方法。

【請求項 5】 第 1 の所定電流値を与える手段と、前記第 1 の所定電流値を記憶する手段と、第 2 の所定電流値を与える手段と、前記第 1 と第 2 の所定電流値の差分である第 3 の電流値を記憶する手段と、前記第 3 の電流値を表示素子に供給する手段を有することを特徴とするアクティブマトリクス型表示装置。

【請求項 6】 前記第 1 の所定電流値を記憶する手段と、前記第 3 の電流値を記憶する手段とが、それぞれ極性の異なる駆動トランジスタを含むことを特徴とする請求項 5 記載のアクティブマトリクス型表示装置。

【請求項 7】 前記表示素子が有機 EL であることを特徴とする請求項 5 記載のアクティブマトリクス型表示装置。

【請求項 8】 第 1 の所定電流値を与える第 1 の信号線と、前記第 1 の所定電流値を記憶する駆動トランジスタを含む第 1 の電流記憶手段と、前記第 1 の電流記憶手段を制御する第 1 の走査制御線と、第 2 の所定電流値を与える第 2 の信号線と、前記第 1 の電流記憶手段からの電流値と前記第 2 の所定電流値の差分の第 3 の電流値を記憶する駆動トランジスタを含む第 2 の電流記憶手段と、前記第 2 の電流記憶手段を制御する第 2 の走査制御線と、前記第 2 の電流記憶手段からの電流を第 3 の走査制御線からの制御で、発光素子に供給することを特徴とするアクティブマトリクス型表示装置。

【請求項 9】 表示素子として有機 EL を用いたことを特徴とする請求項 8 記載のアクティブマトリクス型表示装置。

【請求項 10】 前記第 1 の電流記憶手段に含まれる駆動トランジスタと、前記第 2 の電流記憶手段に含まれる駆動トランジスタとが、それぞれ極性の異なるトランジスタからなることを特徴とする請求項 8 記載のアクティブマトリクス型表示装置。

【請求項 11】 第 1 の走査制御線と、前記第 2 の走査制御線を接続し、同一タイミングで駆動することを特

徴とする請求項 8 記載のアクティブマトリクス型表示装置。

【請求項 12】 信号線に、第 1 の所定電流値を与える第 1 の期間と、前記第 1 の所定電流値を記憶する駆動トランジスタを含む第 1 の電流記憶手段と、前記第 1 の電流記憶手段を制御する第 1 の走査制御線と、前記信号線に第 2 の所定電流値を与える第 2 の期間と、前記第 1 の電流記憶手段からの電流値と前記第 2 の所定電流値の差分の第 3 の電流値を記憶する駆動トランジスタを含む第 2 の電流記憶手段と、前記第 2 の電流記憶手段を制御する第 2 の走査制御線と、前記第 2 の電流記憶手段からの電流を第 3 の走査制御線からの制御で、発光素子に供給することを特徴とするアクティブマトリクス型表示装置。

【請求項 13】 表示素子として有機 EL を用いたことを特徴とする請求項 12 記載のアクティブマトリクス型表示装置。

【請求項 14】 前記第 1 の電流記憶手段に含まれる駆動トランジスタと、前記第 2 の電流記憶手段に含まれる駆動トランジスタとが、それぞれ極性の異なるトランジスタからなることを特徴とする請求項 12 記載のアクティブマトリクス型表示装置。

【請求項 15】 第 1 の所定電流値を与える第 1 の信号線と、前記第 1 の所定電流値を記憶する駆動トランジスタを含む第 1 の電流記憶手段と、第 2 の所定電流値を与える第 2 の信号線と、前記第 2 の所定電流値を記憶する駆動トランジスタを含む第 2 の電流記憶手段と、前記第 1 の電流記憶手段と前記第 2 の電流記憶手段の差分の第 3 の電流値を記憶する駆動トランジスタを含む第 3 の電流記憶手段と、前記第 3 の電流記憶手段からの電流を表示素子に供給することを特徴とするアクティブマトリクス型表示装置。

【請求項 16】 表示素子として有機 EL を用いたことを特徴とする請求項 15 記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は信号線駆動回路から電流書き込みで発光輝度を制御する画素構造を持つアクティブマトリクス型表示装置に関し、低電流の画素書き込み時の充放電不足を解決するものである。

【0002】

【従来の技術】 電流書き込み型のアクティブマトリクス型表示装置の全体構成の一例を図 10 に示す。図 10 において、51 は表示パネル、52 は制御回路、53 は信号線駆動回路、54 は走査線駆動回路、8 は一画素を示す。基本的に制御回路 52 に入力された映像信号から、信号線駆動回路 53 に映像データを供給し、信号線駆動回路 53 は映像データ信号を電流量に変換して、線順次で信号線を駆動する。走査線駆動回路 54 は垂直方向の

走査データ信号を受けて、水平走査周期で走査線を順次に駆動する。そして信号線と走査線の交点には薄膜トランジスタで構成された駆動回路と発光素子からなる画素が形成されている。

【0003】次に各画素の構成例を図11に示し、図と共に説明する。破線で囲まれた8は一面素を示し、図10の一個に相当する。1は駆動トランジスタ T_{r1} 、2はスイッチトランジスタ T_{r2} 、3はスイッチトランジスタ T_{r3} 、4はスイッチトランジスタ T_{r4} を示す。6は発光素子で、有機EL、LEDに代表され等価回路としてはダイオードになる。7は T_{r1} の保持コンデンサであり、このコンデンサに蓄えられた電圧で T_{r1} を継続的に動作させる働きをする。9は信号線、10は信号線駆動回路内の電流源、11は信号線の浮遊容量であり、主に制御線とのクロスオーバー部の容量からなる。

【0004】動作タイミングを図12に、動作原理図を図13(a)、図13(b)に示し、図と共に説明する。図12は走査線(各画素に ϕ と ϕ バーの2本がある)の動作タイミングを示し、該当する画素に水平走査期間単位で、 ϕ バーをL(=スイッチトランジスタのオン)にし、スイッチトランジスタ3： T_{r3} とスイッチトランジスタ4： T_{r4} がオン、同時に ϕ はH(=スイッチトランジスタのオフ)となるのも2： T_{r2} はオフとなる。この時の等価回路が図13(a)であり、この時駆動トランジスタ1： T_{r1} はゲート・ドレイン間が短絡されたMOSダイオードとして動作し、その導通電流 i は電流源10と等しい。保持コンデンサ7の端子電圧は駆動トランジスタ1： T_{r1} の導通電流 i に相当するソース・ゲート間電圧に充電される。次に ϕ バーがHとなりスイッチトランジスタ3： T_{r3} とスイッチトランジスタ4： T_{r4} がオフ、 ϕ がLとなりスイッチトランジスタ2： T_{r2} がオンとなると保持コンデンサ7でソース・ゲート間電圧が保たれているので駆動トランジスタ1： T_{r1} は電流 i を発光素子6に流す。そして次のアクセスがあるまでその発光を保持することで画像を表示する。つまり、この画素構成は電流源10で決められた電流値を発光素子6にコピーすることから、カレントコピア回路とも呼ばれている。

【0005】なぜ、電流書き込みを行うかを簡単に説明すると、有機ELやLEDは本質的に電流と発光する輝度の比例する素子である点、有機ELの端子電圧は製造条件、温度などにより変動しやすい点、駆動トランジスタのスレッシュホールド電圧(以下 V_t と略す)は薄膜製造条件で本質的にゆらぎが避けたい点があり、電流で電圧のばらつきを吸収し均一な画像特性が得られるからである。

【0006】

【発明が解決しようとする課題】以上述べたように、電流書き込み型の画素構成では正確に書き込み電流と発光電流を一致させる必要があるが、低電流での書き込み時

に充放電不足が発生し、画像を著しく損なうという課題があった。この現象について図14と共に説明する。図14は図13(a)の電流書き込み時の駆動トランジスタ1： T_{r1} のドレイン電圧の端子電圧と電流 i の関係を図示したもので、 V_{dd} からMOSの2乗特性にそった特性となる。ここで、明部(電圧は V_{bright})から暗部(電圧は V_{dark})へと画像が変化した時、その電圧差を暗部の電流で浮遊容量11を充放電して V_{dark} にしないと正確に電流をコピーできない。代表

10

数値を挙げると明部 $1\mu A$ ゆえ、暗部は $1/256$ の $4nA$ 、浮遊容量 $30pF$ 、電位差 $1V$ であり、これでは充放電に $7.5ms$ もかかり、到底水平走査期間 $60\mu s$ 内で充放電できない。結局、明部から暗部へは約 12 ライン相当の時間がかかり、縦方向に尾引き状の画像が発生し、実用上大きな課題となっていた。

【0007】

【課題を解決するための手段】本発明は、基本的に第1の所定期間に充放電に十分な大きさの固定バイアス値に信号電流を加えた第1の所定値の電流を与へ、第2の所

20

定期間に固定バイアス値の第2の所定値の電流を与へ、画素内で第1と第2の所定値の電流の差分、つまり信号電流を表示素子に与える駆動方法により充放電不足を解決する。

【0008】別な本発明は、充放電に十分な大きさの固定バイアス値に信号電流を加えた第1の電流を与える第1の信号線と、その第1の電流値を記憶する手段と、固定バイアス値の第2の電流を与える第2の信号線と、画素内で、第1と第2の電流の差分、信号電流を記憶する手段と、その信号電流で発光素子を駆動する手段を設けたものである。

30

【0009】別な本発明は、信号線は1本であるが、時間的に第1と第2の電流値をずらして、同様に画素内で、第1と第2の電流の差分、信号電流を記憶する手段と、その信号電流で発光素子を駆動する手段を設けたものである。

【0010】別な本発明は、駆動トランジスタの電流飽和特性が十分でない場合に対処したもので、充放電に十分な大きさの固定バイアス値に信号電流を加えた第1の電流を与える第1の信号線と、その第1の電流値を記憶する手段と、固定バイアス値の第2の電流を与える第2の信号線と、その第2の電流値を記憶する手段と、画素内で、第1と第2の記憶された電流の差分である信号電流を記憶する手段と、その信号電流で発光素子を駆動する手段を設けたものである。

40

【0011】

【発明の実施の形態】第1の本発明の画素構成例を図1に示し、図と共に説明する。図1において、6は有機ELに代表される発光素子、7は保持コンデンサ、8は一面素全体を示す。9は第1の信号線、10は信号線9の電流源(図10の信号線駆動回路53に含まれる)、1

50

1 は信号線 9 の浮遊容量である。1 2 は第 2 の信号線、1 3 は信号線 1 2 の電流源（電流源 1 0 と同様、図 1 0 の信号線駆動回路 5 3 に含まれる）、1 4 は信号線 1 2 の浮遊容量である。第 1 組の電流記憶手段として構成されるは 2 1 の駆動用トランジスタ $T r 1$ 、2 2 のスイッチング $T r 2$ 、2 3 のスイッチング $T r 3$ 、2 4 のスイッチング $T r 4$ と前述の保持コンデンサ 7 である。第 2 組の電流記憶手段として構成されるのは 2 5 の駆動用トランジスタ $T r 5$ 、2 6 のスイッチング $T r 6$ 、2 7 のスイッチング $T r 7$ 、2 8 はのスイッチング $T r 8$ と保持コンデンサ 1 5 である。

【0012】次に図 2 に各スイッチングトランジスタの動作タイミング、各タイミング時の等価回路を図 3

(a)、図 3 (b)、図 3 (c) 示し、動作を説明する。まず $\phi 3$ に接続されたスイッチトランジスタ 2 2 ; $T r 2$ をオフする。同時に図 3 (a) に示すように $\phi 1$ を L にし、接続されたスイッチトランジスタ 2 6 ; $T r 7$ とスイッチトランジスタ 2 7 ; $T r 7$ をオンし、駆動トランジスタ 2 5 ; $T r 5$ と保持コンデンサ 1 5 による

第 2 組の電流記憶手段に、電流源 1 0 で設定されたバイアス電流 $I b$ に信号電流 $I s$ を加えた電流を記憶する。【0013】そして図 3 (b) に示すように一水平走査期間後、 $\phi 1$ を H にしてトランジスタ 2 6 ; $T r 6$ 、トランジスタ 2 7 ; $T r 7$ をオフにする。同時に $\phi 2$ を L にしてスイッチトランジスタ 2 3 ; $T r 3$ とスイッチトランジスタ 2 4 ; $T r 4$ をオンにし、駆動トランジスタ 2 1 ; $T r 1$ と保持コンデンサ 7 からなる第 1 組の電流記憶手段を動作させる。この時、スイッチトランジスタ 2 8 ; $T r 8$ が導通し、この経路から電流源 1 3 に設定されたバイアス電流 $I b$ が流れるが、第 2 組の電流記憶手段である駆動トランジスタ 2 5 ; $T r 5$ は前に記憶した $I b + I s$ なる電流を流すので、駆動トランジスタ 2 1 ; $T r 1$ には差分である信号電流 $I s$ が流れ、この値を記憶することとなる。

【0014】その後 $\phi 2$ は H、 $\phi 3$ が L となると図 3 (c) で示すように、スイッチトランジスタ 2 2 ; $T r 2$ がオンし、駆動トランジスタ 2 1 ; $T r 1$ と発光素子 6 が接続され信号電流 $I s$ にて発光素子が光る。以下垂直期間毎にこの動作を繰り返す。

【0015】ここで、パネル外部の電流源 1 0 と 1 3 に共通するバイアス電流 $I b$ を、浮遊容量 $I 1$ 並びに 1 4 と水平走査周期の関係に対して十分大きな値にしておけば、従来の課題である低電流領域の充放電不足は発生しない。例えば浮遊容量 $30 pF$ に対して $1 \mu A$ 程度としておけば電圧振幅 $1 V$ を $30 \mu s$ で充電でき、水平走査周期 $60 \mu s$ に対し十分に短い。第 1 組の電流記憶手段である駆動トランジスタ 2 1 ; $T r 1$ の信号電流 $I s$ の書き込み時の浮遊容量は画素内部の配線だけであり通常は $1 pF$ よりも少なく、この書き込み時の充放電不足は問題にならない。

【0016】図 1 において、駆動トランジスタ 2 1 ; $T r 1$ と駆動トランジスタ 2 5 ; $T r 5$ を極性の異なるトランジスタとしたが、この組み合わせにより各駆動トランジスタの書き込み時のドレイン電圧 (= 信号線電圧) の変化を吸収できる。具体的には図 3 (a) 時の信号線 1 0 の電圧は GND より駆動トランジスタ 2 5 ; 5 のスレッシュホールド電圧 ($1 V \sim 2 V$) 程度上がった電位になる。次に図 3 (b) の信号線 1 3 の電圧は $V d d$ より駆動トランジスタ 2 1 ; 1 のスレッシュホールド電圧 ($1 V \sim 2 V$) 程度下がった電位になるが、駆動トランジスタ 2 5 ; $T r 5$ が飽和領域で動作しているならば、前に記憶した $I b + I s$ の電流がそのまま保たれることとなる。

【0017】図 1 では走査側を 3 本 ($\phi 1 \sim \phi 3$) としているが、 $\phi 1$ と $\phi 2$ は同じ期間幅であり、位相がずれているだけなので、前の段の $\phi 2$ を $\phi 1$ として使用しても良い。この場合、実際パネル外に接続されるのは各段に 2 本で良い。

【0018】なお、図 1 の駆動トランジスタの極性を反対にして、発光素子の接続も逆にしても動作としては変わらないことは言うまでもない。また、スイッチトランジスタの極性も一部ないし全て n 型としてもよいことは無論である。

【0019】別な本発明として信号線を 1 本とした構成を図 4 に示し、図と共に説明する。図 4 において、6 は有機 EL に代表される発光素子、7 は保持コンデンサ、8 は一画素全体を示す。9 は信号線、1 0 は信号線 9 の電流源（図 1 0 の信号線駆動回路 5 3 に含まれる）、1 1 は信号線 9 の浮遊容量である。第 1 組の電流記憶手段として構成されるは 3 1 の駆動用トランジスタ $T r 1$ 、3 2 のスイッチング $T r 2$ 、3 3 のスイッチング $T r 3$ 、3 4 のスイッチング $T r 4$ と前述の保持コンデンサである。第 2 組の電流記憶手段として構成されるのは 3 5 の駆動用トランジスタ $T r 5$ 、3 6 のスイッチング $T r 6$ 、3 7 のスイッチング $T r 7$ と保持コンデンサ 1 5 である。

【0020】次に動作タイミングを図 5 に示し、図と共に説明する。図 5 の $\phi 4$ と $\phi 5$ で示すように、まず信号源 1 0 からバイアス電流 $I b$ と信号電流 $I s$ を加えた電流を水平走査期間の前半に第 2 の電流記憶手段に記憶

($\phi 4$) する。次に水平走査期間の後半に、電流源からバイアス電流 $I b$ を加え、記憶された $I b + I s$ から $I b$ を差し引き ($\phi 5$)、第 1 の記憶手段に信号電流 $I s$ を記憶させ、この電流で発光素子 6 を発光させる ($\phi 7$)。

【0021】等価回路を図 6 (a)、図 6 (b)、図 6 (c) に示し、図と共に説明する。図 6 (a) は $\phi 4$ と $\phi 6$ が L でスイッチトランジスタ 3 6 ; $T r 6$ と、スイッチトランジスタ 3 7 ; $T r 7$ がオンして駆動トランジスタ 3 5 ; $T r 5$ と保持コンデンサ 1 5 からなる第 2 の画素記憶手段に電流源 1 0 からのとバイアス電流 $I b$ 、

信号電流 I_s を記憶する。次に $\phi 4$ が H、 $\phi 5$ が L となりスイッチトランジスタ 36 ; Tr 6 はオフ、スイッチトランジスタ 33 ; Tr 3 とスイッチトランジスタ 4 ; Tr 4 がオンとなり、駆動トランジスタ 31 ; Tr 1 と保持コンデンサ 7 からなる第 1 の画素記憶手段が動作するが、図 6 (b) に示すようにこの電流は信号電流 I_s となる。そして、 $\phi 7$ のみ L で他は H となる発光期間はスイッチトランジスタ 32 ; Tr 2 のみオンとなり、記憶された信号電流 I_s で発光素子 6 を発光することになる。

【0022】最初の発明例と同様に、信号線にはバイアス電流 I_b + 信号電流 I_s 、ないしバイアス電流 I_b という信号よりも大きな電流を流すので、微小電流による充放電不足は発生しない。なお、図 5 の $\phi 6$ と $\phi 7$ は排他的論理であるので、例えばスイッチトランジスタ 32 ; Tr 2 を n 型トランジスタとし、 $\phi 6$ だけで済ますことも可能であり荷枕 x 台 e 各段 3 本構成とすることができる。

【0023】さて、駆動トランジスタにはキンク効果と呼ばれる、飽和領域でもドレイン電流がドレイン電圧の増加に伴って増大してしまう現象が知られている。これは図 1 の駆動トランジスタ 25 ; Tr 2 ないし図 4 の駆動トランジスタ 35 ; Tr 5 にとり、大きな問題となる。何故なら外部の電流源より決められた電流値よりも大きな電流を流そうとするので、信号電流 I_s を記憶しようとするさいに、信号電流 I_s より大きな電流としてしまい、書き込みエラーとなってしまうからである。この対策としてはキンク効果を低減するために駆動トランジスタのチャンネル長を大きくする、キンクの程度が一定であるならば電流源からバイアス電流 I_b を書き込むさいにその分電流値を大きくすることで避けられる場合が多い。しかし、トランジスタのデバイス特性によっては避けられない場合もある。この問題に対処した別な発明の構成例を図 7 に示し、図と共に説明する。

【0024】図 7 において、6 は有機 EL に代表される発光素子、7 は保持コンデンサ、8 は一画素全体を示す。9 は第 1 の信号線、10 は信号線 9 の電流源 (図 10 の信号線駆動回路 53 に含まれる)、11 は信号線 9 の浮遊容量である。12 は第 2 の信号線、13 は信号線 12 の電流源 (電流源 10 と同様、図 10 の信号線駆動回路 53 に含まれる)、14 は信号線 12 の浮遊容量である。第 1 の憶手段として構成されるのは 41 の駆動用トランジスタ Tr 1、42 のスイッチング Tr 2、43 のスイッチング Tr 3、前述の保持コンデンサ 7 である。第 2 の電流記憶手段として構成されるのは 45 の駆動用トランジスタ Tr 5、46 のスイッチング Tr 6 と保持コンデンサ 15 である。本発明は更に第 3 の電流記憶手段として駆動トランジスタ 48 ; Tr 8 とスイッチングトランジスタ 49 ; Tr 9 と保持コンデンサ 16 がある。そして各電流記憶手段を切換えるスイッチングト

ランジスタ 44 ; Tr 4、スイッチングトランジスタ 47 ; Tr 7、スイッチングトランジスタ 50 ; Tr 10 とスイッチングトランジスタ 51 ; Tr 11 からなる。

【0025】動作タイミングを図 8、等価回路を図 9 (a)、図 9 (b)、図 9 (c) に示し、図と共に説明する。タイミングとしては図 2 と同様であるが、まず $\phi 8$ を L とし、第 2 の電流記憶手段関係であるスイッチングトランジスタ 47 ; Tr 7 とスイッチングトランジスタ 46 ; Tr 6 をオンして駆動トランジスタ 45 ; Tr 5 にバイアス電流 I_b + 信号電流 I_s を記憶する。同時に第 3 の電流記憶手段関係であるスイッチングトランジスタ 50 ; Tr 10 とスイッチングトランジスタ 49 ; Tr 9 をオンして駆動トランジスタ 48 ; Tr 8 にバイアス電流 I_b を記憶する。次の水平走査期間に $\phi 8$ を H、 $\phi 9$ を L とし、第 1 の電流記憶手段関係であるスイッチングトランジスタ 43 ; Tr 3 をオンして駆動トランジスタ 41 ; Tr 1 を動作させるのであるが、この時の電流は駆動トランジスタ 45 ; Tr 5 のバイアス電流 I_b + 信号電流 I_s から、駆動トランジスタ 48 ; Tr 8 のバイアス電流 I_b を引いたもの、すなわち信号電流 I_s となるが、このさいキンク効果による増大分があったも、それは駆動トランジスタ 45 ; Tr 5 と駆動トランジスタ 48 ; Tr 8 双方にあるので差し引きゼロとなる。その後、 $\phi 10$ を L としてスイッチトランジスタ 42 ; Tr 2 をオンして発光素子 6 に正確な信号電流を流す。

【0026】なお、最初の発明時に述べたように図 8 の $\phi 8$ を前段の $\phi 9$ と同位相であることを利用して走査側配線を 2 本とすることも可能である。

30 【0027】

【発明の効果】本発明による共通的な効果は、低電流書き込み時における信号線浮遊容量の充放電不足に伴う画質劣化、縦方向の尾引き状の画像を回避することが可能となる。最初の構成例では信号線が各列 2 本であるが、走査線を各段 2 本の構成とすることができる。次の構成例では信号線を各列 1 本とすることができ、信号線駆動回路の構成が簡単となる利点がある。第 3 の構成例ではトランジスタにキンク効果があったとしても、回避する手段を提供している。

40 【図面の簡単な説明】

【図 1】第 1 の発明の画素構成図

【図 2】第 1 の発明の走査線タイミング動作図

【図 3】第 1 の発明の動作時の等価回路図

【図 4】第 2 の発明の画素構成図

【図 5】第 2 の発明の走査線タイミング動作図

【図 6】第 2 の発明の動作時の等価回路図

【図 7】第 3 の発明の画素構成図

【図 8】第 3 の発明の走査線タイミング動作図

【図 9】第 2 の発明の動作時の等価回路図

50 【図 10】一般的なパネルの周辺構成図

【図 1 1】従来の画素構成図

【図 1 2】従来の走査線タイミング動作図

【図 1 3】従来の動作時の等価回路図

【図 1 4】従来の電流書き込み時の駆動トランジスタ

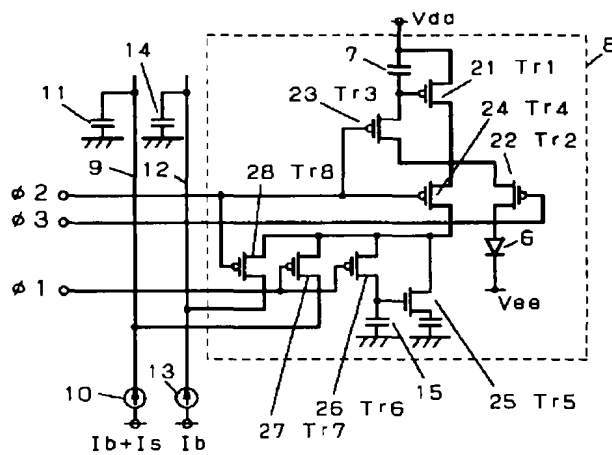
1 ; Tr 1 のドレイン電圧の端子電圧と電流 i の関係を示した図

【符号の説明】

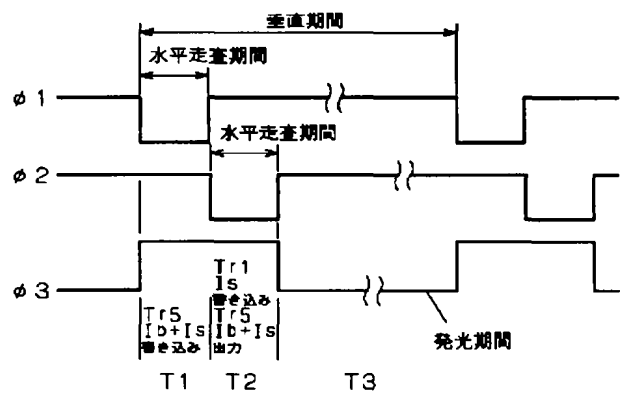
- 6 発光素子
- 7 保持コンデンサ
- 8 一画素
- 9 第 1 の信号線
- 10 第 1 の電流源
- 11 第 1 の信号線浮遊容量

- 12 第 2 の信号線
- 13 第 2 の電流源
- 14 第 2 の信号線浮遊容量
- 15 保持コンデンサ
- 21 駆動トランジスタ ; Tr 1
- 22 スイッチトランジスタ ; Tr 2
- 23 スイッチトランジスタ ; Tr 3
- 24 スイッチトランジスタ ; Tr 4
- 25 駆動トランジスタ ; Tr 5
- 26 スイッチトランジスタ ; Tr 6
- 27 スイッチトランジスタ ; Tr 7
- 28 スイッチトランジスタ ; Tr 8

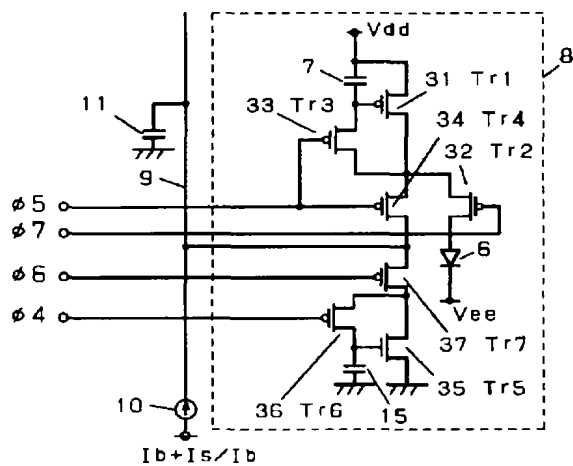
【図 1】



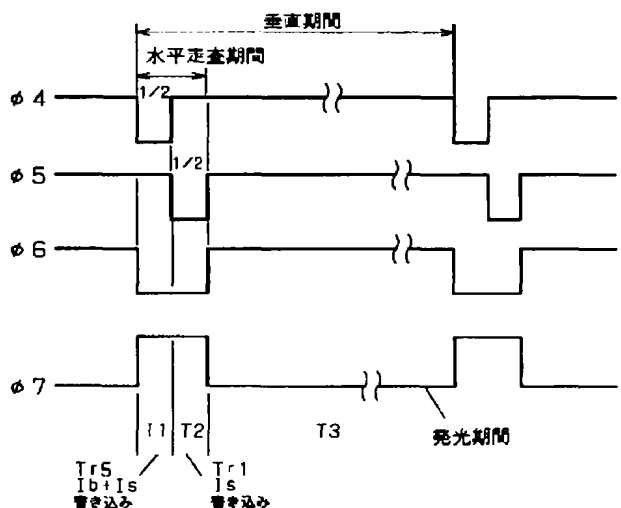
【図 2】



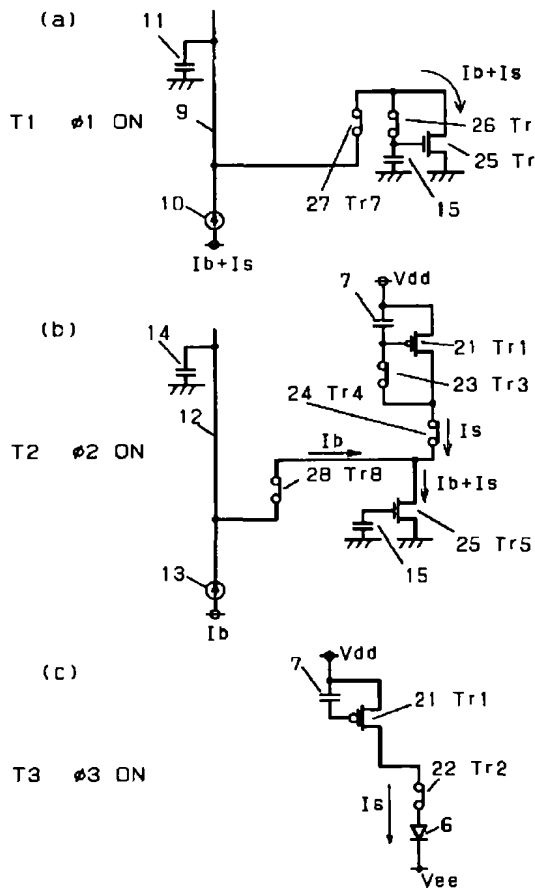
【図 4】



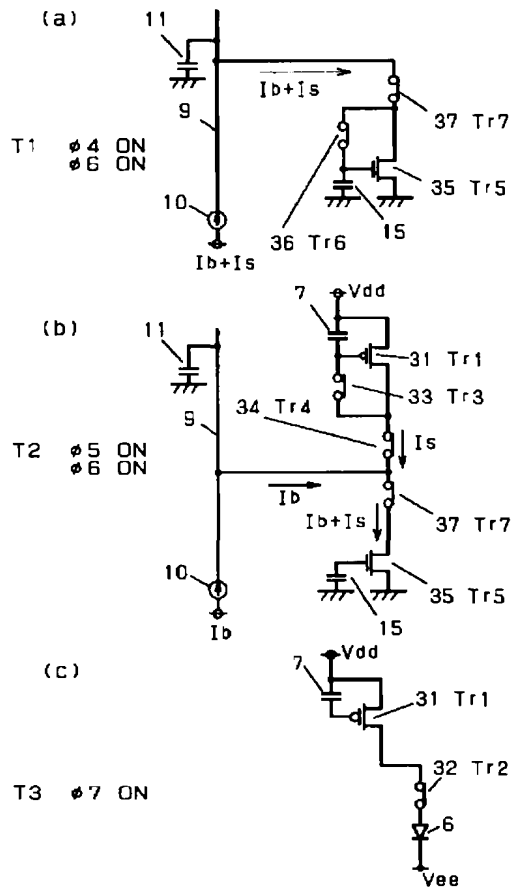
【図 5】



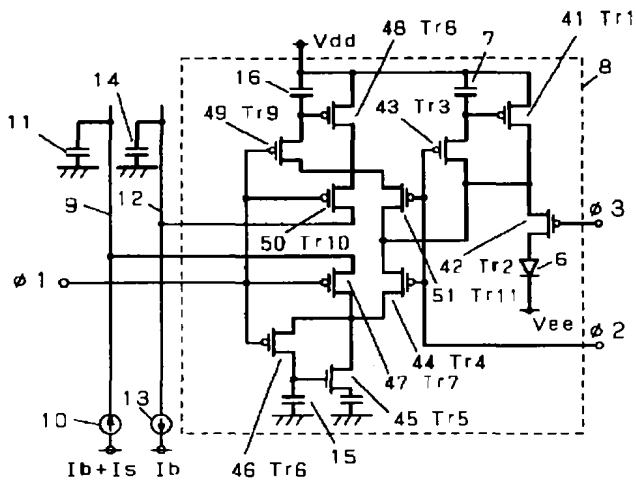
【図 3】



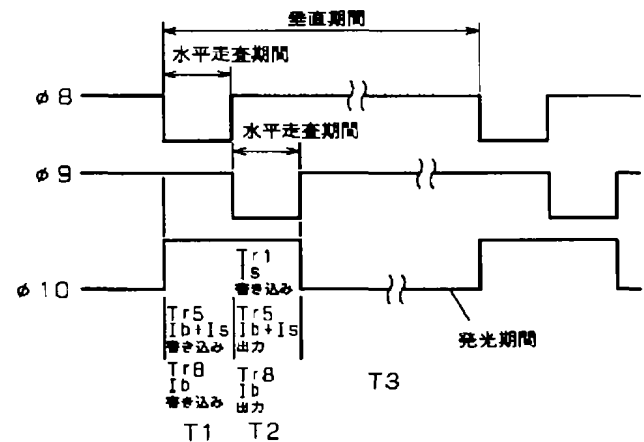
【図 6】



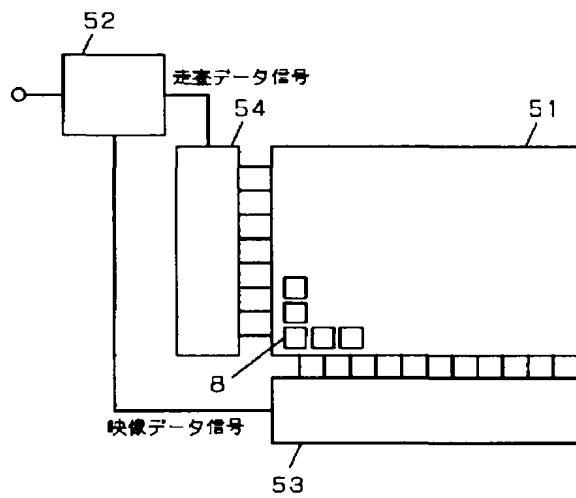
【図 7】



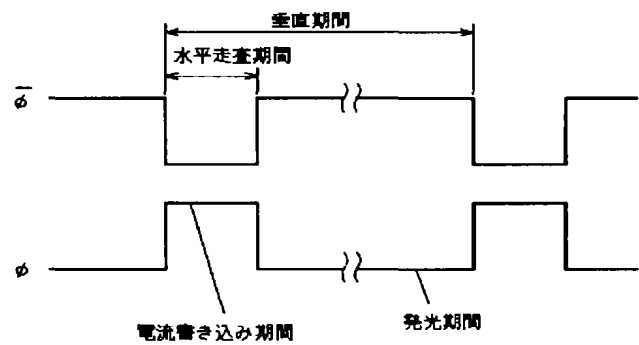
【図 8】



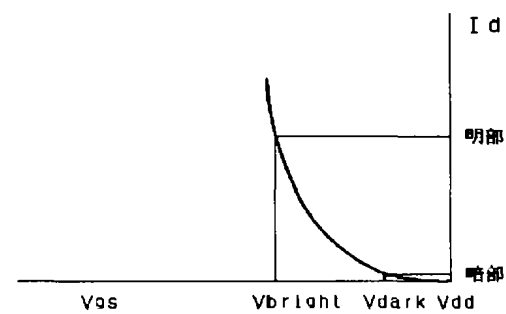
【 ㊦ 1 0 】



【図 11】



【例 1-4】



【図 13】

